



Karta przedmiotu

| | | | | | | | |
|--|---|---|-----------|------------------------|--|-----------------------|-------|
| Nazwa i kod przedmiotu | Układy logiczne, PG_00047361 | | | | | | |
| Kierunek studiów | Elektronika i telekomunikacja | | | | | | |
| Data rozpoczęcia studiów | październik 2023 r. | Rok akademicki realizacji przedmiotu | | | 2023/2024 | | |
| Poziom kształcenia | I stopnia - inżynierskie | Grupa zajęć | | | Grupa zajęć obowiązkowych z zakresu kierunku studiów | | |
| Forma studiów | stacjonarne | Sposób realizacji | | | na uczelni | | |
| Rok studiów | 1 | Język wykładowy | | | polski | | |
| Semestr studiów | 1 | Liczba punktów ECTS | | | 4.0 | | |
| Profil kształcenia | ogólnoakademicki | Forma zaliczenia | | | egzamin | | |
| Jednostka prowadząca | Wydział Elektroniki, Telekomunikacji i Informatyki -> Katedra Systemów Automatyki | | | | | | |
| Imię i nazwisko wykładowcy (wykładowców) | Odpowiedzialny za przedmiot | dr inż. Paweł Raczyński | | | | | |
| | Prowadzący zajęcia z przedmiotu | dr inż. Krzysztof Cisowski dr inż. Marcin Pazio mgr inż. Karol Szymański dr inż. Paweł Raczyński mgr inż. Marek Grzegorek | | | | | |
| Formy zajęć i metody nauczania | Forma zajęć | Wykład | Ćwiczenia | Laboratorium | Projekt | Seminarium | RAZEM |
| | Liczba godzin zajęć | 15.0 | 15.0 | 0.0 | 0.0 | 0.0 | 30 |
| | W tym liczba godzin zajęć na odległość: 0.0 | | | | | | |
| Aktywność studenta i liczba godzin pracy | Aktywność studenta | Udział w zajęciach dydaktycznych, objętych planem studiów | | Udział w konsultacjach | | Praca własna studenta | RAZEM |
| | Liczba godzin pracy studenta | 30 | | 4.0 | | 66.0 | 100 |
| Cel przedmiotu | Na zajęciach z Układów Logicznych studenci zdobędą wiedzę z zakresu: - Aparat matematyczny stosowany do opisu układów kombinacyjnych i sekwencyjnych - Wprowadzenie do systemu binarnego, arytmetyka binarna, Algebra Boole'a - Funkcje logiczne - Pojęcia podstawowe, układy kombinacyjne, układy sekwencyjne - Synteza układów kombinacyjnych i sekwencyjnych synchronicznych , - Synteza układów sekwencyjnych asynchronicznych - Układy pamięciowe | | | | | | |

| | | | |
|---|---|---|---|
| Efekty uczenia się przedmiotu | Efekt kierunkowy | Efekt z przedmiotu | Sposób weryfikacji i oceny efektu |
| | [K6_W33] zna języki programowania i języki opisu sprzętu, a także metody syntezy układów kombinacyjnych i sekwencyjnych oraz układów programowalnych | Student zna języki programowania i języki opisu sprzętu, a także metody syntezy układów kombinacyjnych i sekwencyjnych potrzebna jest większa ilość zajęć z układów logicznych | [SW1] Ocena wiedzy faktograficznej |
| | [K6_U08] potrafi przy identyfikacji i formułowaniu specyfikacji zadań inżynierskich związanych z kierunkiem studiów oraz ich rozwiązywaniu: – wykorzystać metody analityczne, symulacyjne i eksperymentalne, – dostrzegać ich aspekty systemowe i pozatechniczne, – dokonać wstępnej oceny ekonomicznej proponowanych rozwiązań i podejmowanych działań inżynierskich | Student przedmiotu układy logiczne potrafi wykorzystać wiedzę przy identyfikacji i formułowaniu specyfikacji zadań inżynierskich związanych z kierunkiem studiów oraz ich rozwiązywaniu: – wykorzystać metody analityczne, symulacyjne i eksperymentalne, – dostrzegać ich aspekty systemowe i pozatechniczne, – dokonać wstępnej oceny technicznej proponowanych rozwiązań układów elektronicznych i podejmowanych działań inżynierskich | [SU4] Ocena umiejętności korzystania z metod i narzędzi |
| Treści przedmiotu | 1. Cel wykładów : Nabycie umiejętności posługiwania się algebrą Boolea do opisu przebiegu zdarzeń .Przedstawienie sposobów analizy i opisu układów logicznych i mikroprocesorowych . 2. Aparat matematyczny stosowany do opisu układów kombinacyjnych i sekwencyjnych tablice funkcji, funkcje logiczne, automaty, graf tablice przejść/wyjść przykłady .Wprowadzenie do systemu binarnego, arytmetyka binarna 3. Kody przedstawiania liczb BIN, HEX, BCD, U1, U2, liczby zmiennie pozycyjne, arytmetyka na liczbach ze znakiem 4. Funkcje logiczne w postaci kanonicznej, parakanonicznej , NPS i NPI, przykłady i analogie do innych algebr oraz przykłady zastosowań algebry Boolea 5. Minimalizacja funkcji logicznych, metoda tablic Karnaugh oraz algorytmu McCluskeya 6. Funktory logiczne, synteza układów kombinacyjnych z wykorzystaniem funktorów AND, OR, NOT, NAND i NOR, minimalizacja funkcji logicznych w zakresie reprezentacji NPS i NPI a minimalizacja globalna | | |
| Wymagania wstępne i dodatkowe | Nie ma wymagań | | |
| Sposoby i kryteria oceniania osiągniętych efektów uczenia się | Sposób oceniania (składowe) | Próg zaliczeniowy | Składowa oceny końcowej |
| | Egzamin pisemny | 50.0% | 40.0% |
| | Kolokwia w czasie semestru | 50.0% | 50.0% |
| | aktywność/obecność | 50.0% | 10.0% |
| Zalecana lista lektur | Podstawowa lista lektur | M. Barski, W. Jędruch , Układy Cyfrowe W. Majewski, Układy logiczne Zieliński C.: Podstawy projektowania układów cyfrowych, Wydawnictwo Naukowe PWN, Warszawa 2003 | |
| | Uzupełniająca lista lektur | Kalisz J.: Podstawy elektroniki cyfrowej, WKiŁ, Warszawa 1998. | |
| | Adresy eZasobów | Adresy na platformie eNauczanie: Układy Logiczne wykład - 2023/2024 - Moodle ID: 29082 https://enauczanie.pg.edu.pl/moodle/course/view.php?id=29082 | |

| | |
|--|--|
| <p>Przykładowe zagadnienia/ przykładowe pytania/ realizowane zadania</p> | <p>Wykonać działanie $(10101)_2 \times (101)_2$ wynik podać w systemie dziesiętnym,</p> <p>Funkcję $f(d,c,b,a) = \Pi(0,3,5,8,12,14,(2,11,13))$ zrealizować z wykorzystaniem multiplexera 4/1 oraz bramek NAND .</p> <p>Podać tabelę działania przerzutnika JK oraz przerzutnika D</p> <p>Daną w postaci tabeli sieć logiczną zbudować z bramek NAND</p> <p>Zaprojektować układ synchroniczny sprawdzający czy w ciągu cyfr binarnych podawanych kolejno na wejście szeregowo układu liczba jedynek jest liczbą parzystą różną od zera, co powinno być sygnalizowane poprzez ustawienie na wyjściu $W=1$ na okres dokładnie jednego taktu zegara.</p> <p>Podać w rozwiązaniu:</p> <ol style="list-style-type: none"> 1. graf oraz tabelę przejść/wyjść utworzoną na podstawie grafu tabeli i minimalne 2. funkcji wzbudzeń dla przerzutników realizujących kolejne bity stanu na przerzutnikach JK 3. minimalną funkcję wyjścia 4. schemat ideowy układu |
| <p>Praktyki zawodowe w ramach przedmiotu</p> | <p>Nie dotyczy</p> |