



Karta przedmiotu

Nazwa i kod przedmiotu	Technika zintegrowanych układów dla sieci komputerowych, PG_00048582						
Kierunek studiów	Elektronika i telekomunikacja						
Data rozpoczęcia studiów	luty 2024 r.		Rok akademicki realizacji przedmiotu		2024/2025		
Poziom kształcenia	II stopnia		Grupa zajęć		Grupa zajęć fakultatywnych Grupa zajęć powiązanych z prowadzonymi badaniami naukowymi w dziedzinie nauki związanej z kierunkiem - profil ogólnoakademicki		
Forma studiów	stacjonarne		Sposób realizacji		na uczelni		
Rok studiów	1		Język wykładowy		polski		
Semestr studiów	2		Liczba punktów ECTS		3.0		
Profil kształcenia	ogólnoakademicki		Forma zaliczenia		egzamin		
Jednostka prowadząca	Wydział Elektroniki, Telekomunikacji i Informatyki -> Katedra Systemów Mikroelektronicznych						
Imię i nazwisko wykładowcy (wykładowców)	Odpowiedzialny za przedmiot		dr inż. Miron Kłosowski				
	Prowadzący zajęcia z przedmiotu		dr inż. Miron Kłosowski				
Formy zajęć i metody nauczania	Forma zajęć	Wykład	Ćwiczenia	Laboratorium	Projekt	Seminarium	RAZEM
	Liczba godzin zajęć	15.0	0.0	30.0	0.0	0.0	45
	W tym liczba godzin zajęć na odległość: 0.0						
Aktywność studenta i liczba godzin pracy	Aktywność studenta	Udział w zajęciach dydaktycznych, objętych planem studiów		Udział w konsultacjach		Praca własna studenta	RAZEM
	Liczba godzin pracy studenta	45		6.0		24.0	75
Cel przedmiotu	Celem przedmiotu jest wykształcenie specjalisty posiadającego zaawansowaną wiedzę i umiejętności w zakresie projektowania, weryfikacji i testowania cyfrowych systemów dla sieci komputerowych, budowanych w oparciu o układy FPGA i procesory sieciowe. Absolwent jest przygotowany do pracy w firmach produkujących sprzęt wykorzystujący sieci komputerowe. Mogą także brać udział w programach badawczych w których powstają lub są wykorzystywane urządzenia sieci komputerowych.						

Efekty uczenia się przedmiotu	Efekt kierunkowy	Efekt z przedmiotu	Sposób weryfikacji i oceny efektu
	[K7_U04] potrafi wykorzystywać posiadaną wiedzę z zakresu metod i technik programowania oraz dobrać i zastosować właściwe metody i narzędzia programistyczne w tworzeniu oprogramowania komputerów albo programowania urządzeń lub sterowników wykorzystujących mikroprocesory albo elementy lub układy programowalne, charakterystycznych dla danego kierunku studiów, dokonując oceny i krytycznej analizy wykonanego oprogramowania, a także syntezy i twórczej interpretacji prezentowanych za jego pomocą informacji	Stosuje układy FPGA do implementacji algorytmów związanych z sieciami komputerowymi i komunikacji z układami scalonymi realizującymi obsługę wybranych warstw modelu ISO/OSI.	[SU1] Ocena realizacji zadania
	[K7_W04] zna i rozumie w zaawansowanym stopniu zasady, metody i techniki programowania oraz zasady tworzenia oprogramowania komputerów albo programowania urządzeń lub sterowników wykorzystujących mikroprocesory albo inne elementy lub układy programowalne, specyficznych dla kierunku studiów, a także organizację pracy systemów wykorzystujących komputery lub te urządzenia	Zna i rozumie algorytmy sieci komputerowych i ich implementację sprzętową, budowę i właściwości procesorów sieciowych, przełączników, ruterów, interfejsów i układów scalonych realizujących obsługę wybranych warstw modelu ISO/OSI.	[SW1] Ocena wiedzy faktograficznej
Treści przedmiotu	1. Ewolucja mikroprocesorów i sieci komputerowych. 2. Procesory sieciowe - wprowadzenie. 3. Architektura rodziny procesorów sieciowych IXP. 4. Budowa jednostki obliczeniowej microengine. 5. Rodzaje pamięci i sposoby adresowania w jednostce microengine. 6. Wielowątkowość w jednostce "microengine". 7. Komunikacja pomiędzy jednostkami microengine. 8. Moduły funkcjonalne w jednostce "microengine". 9. Jednostki funkcjonalne procesora sieciowego IXP. 10. Obsługa komunikacji za pomocą m-pakietów. 11. Podstawy języka assemblera procesorów sieciowych rodziny IXP. 12. Język C w programowaniu procesorów sieciowych. 13. Przetwarzanie pakietów metodą unordered thread execution. 14. Przetwarzanie pakietów metodą context pipeline stages. 15. Przetwarzanie pakietów metodą ordered thread execution. 16. Wspomaganie struktur danych w procesorach IXP - pierścienie i kolejki. 17. Zastosowania procesorów sieciowych w przełącznikach, routerach i firewallach. 18. Standardy sieci komputerowych i okablowania. 19. Warstwa PHY. Mechanizmy autonegociacji. 20. Warstwa MAC. Sposoby adresowania. 21. Programowalne układy scalone realizujące dostęp do medium. 22. Media Independent Interface - omówienie standardu. 23. Nadawanie i odbiór ramek przez MII. 24. Tryb "full duplex" i mechanizmy kontroli przepływu. 25. Implementacja adresowania typu „multicast”. 26. Programowalne układy scalone realizujące montaż i demontaż ramek. 27. Sieci VLAN i ich implementacja. 28. Mechanizmy agregacji portów. 29. Pamięci stosowane w systemach sieci komputerowych. 30. Pamięci typu CAM i TCAM. 31. Klasyfikatory jednowymiarowe. 32. Klasyfikatory wielowymiarowe. 33. Architektura przełączników. Algorytmy i procesy. 34. Architektura routerów. Algorytmy i procesy. 35. Akceleracja sprzętowa mechanizmów "Quality of Service". 36. Akceleracja sprzętowa warstw 4-7. 37. Koprocesory kryptograficzne. 38. Układy scalone dla sieci bezprzewodowych.		
Wymagania wstępne i dodatkowe			
Sposoby i kryteria oceniania osiągniętych efektów uczenia się	Sposób oceniania (składowe)	Próg zaliczeniowy	Składowa ocena końcowej
	Ćwiczenia praktyczne	50.0%	70.0%
	Egzamin pisemny	50.0%	30.0%
Zalecana lista lektur	Podstawowa lista lektur	1. Erik J. Johnson, Aaron R. Kunze, "IXP2400/2800 Programming", Intel Press 2003. 2. George Varghese, "Network Algorithmics", Elsevier/Morgan Kaufmann, 2005. 3. Rich Seifert, "The Switch Book", John Wiley & Sons, 2000.	
	Uzupełniająca lista lektur	Nie ma wymagan	
	Adresy eZasobów	Adresy na platformie eNauczanie:	
Przykładowe zagadnienia/ przykładowe pytania/ realizowane zadania			
Praktyki zawodowe w ramach przedmiotu	Nie dotyczy		