



Karta przedmiotu

Nazwa i kod przedmiotu	Języki modelowania i symulacji, PG_00047822						
Kierunek studiów	Inżynieria biomedyczna						
Data rozpoczęcia studiów	październik 2025 r.		Rok akademicki realizacji przedmiotu		2027/2028		
Poziom kształcenia	I stopnia - inżynierskie		Grupa zajęć		Grupa zajęć fakultatywnych Grupa zajęć powiązanych z prowadzonymi badaniami naukowymi w dziedzinie nauki związanej z kierunkiem - profil ogólnoakademicki		
Forma studiów	stacjonarne		Sposób realizacji		na uczelni		
Rok studiów	3		Język wykładowy		polski		
Semestr studiów	5		Liczba punktów ECTS		5.0		
Profil kształcenia	ogólnoakademicki		Forma zaliczenia		egzamin		
Jednostka prowadząca	Wydziały Politechniki Gdańskiej -> Wydział Elektroniki, Telekomunikacji i Informatyki -> Katedra Systemów Mikroelektronicznych						
Imię i nazwisko wykładowcy (wykładowców)	Odpowiedzialny za przedmiot		dr hab. inż. Bogdan Pankiewicz				
	Prowadzący zajęcia z przedmiotu		dr hab. inż. Bogdan Pankiewicz				
Formy zajęć i metody nauczania	Forma zajęć	Wykład	Ćwiczenia	Laboratorium	Projekt	Seminarium	RAZEM
	Liczba godzin zajęć	30.0	0.0	30.0	0.0	0.0	60
	W tym liczba godzin zajęć na odległość: 0.0						
Aktywność studenta i liczba godzin pracy	Aktywność studenta	Udział w zajęciach dydaktycznych, objętych planem studiów		Udział w konsultacjach		Praca własna studenta	RAZEM
	Liczba godzin pracy studenta	60		5.0		60.0	125
Cel przedmiotu	Celem przedmiotu jest nauka modelowania i symulacji układów elektronicznych przy użyciu symulatora PSPICE oraz języków Verilog i VHDL.						
Efekty uczenia się przedmiotu	Efekt kierunkowy		Efekt z przedmiotu		Sposób weryfikacji i oceny efektu		
	[K6_U04] potrafi wykorzystywać posiadaną wiedzę z zakresu metod i technik programowania oraz dobrać i zastosować właściwe metody i narzędzia programistyczne w tworzeniu oprogramowania komputerów albo programowania urządzeń lub sterowników wykorzystujących mikroprocesory albo elementy lub układy programowalne, charakterystycznych dla danego kierunku studiów		Student potrafi wykonać symulację układu przy użyciu symulatora PSPICE. Student potrafi zaprojektować proste systemy cyfrowe z użyciem języka Verilog oraz VHDL. Student potrafi zrealizować proste systemy cyfrowe przy użyciu układów FPGA.		[SU1] Ocena realizacji zadania		
	[K6_W04] zna i rozumie w zaawansowanym stopniu zasady, metody i techniki programowania oraz zasady tworzenia oprogramowania komputerów albo programowania urządzeń lub sterowników wykorzystujących mikroprocesory albo elementy lub układy programowalne, specyficznych dla kierunku studiów, a także organizację pracy systemów wykorzystujących komputery lub te urządzenia		Student zna składnię plików PSPICE, typy możliwych symulacji, sposoby opisu układów analogowych i cyfrowych oraz sposoby wykonywania symulacji układów elektronicznych. Student zna języki HDL: Verilog oraz VHDL. Student potrafi wykonać opis układu cyfrowego i jego symulację.		[SW1] Ocena wiedzy faktograficznej		

Treści przedmiotu	1. Wprowadzenie, znaczenie i zastosowania języków HDL. Historia powstania języka Verilog. 2. Poziomy opis sprzętu (Verilog). 3. Metodologie projektowania. Prosty przykład. 4. Składnia języka Verilog. 5. Typy danych. 6. Zadania systemowe i dyrektywy kompilatora. 7. Moduły i porty. 8. Projektowanie na poziomie bramek logicznych. 9. Opóźnienia w bramkach. 10. Modelowanie na poziomie rejestrów. 11. Przypisanie ciągłe. 12. Wyrażenia i operatory. 13. Modelowanie na poziomie behawioralnym. 14. Funkcje i zadania. 15. Techniki modelowania. 16. Verilog 2001 zmiany w standardzie. 17. Geneza powstania języka VHDL. 18. Składnia języka i typy danych. 19. Jednostki projektowe i ich architektury. 20. Osadzanie komponentów. 21. Przypisanie współbieżne, zwykłe i warunkowe. 22. Opóźnienia, operacje współbieżne oraz czasowe. 23. Procesy. 24. Polecenia warunkowe i pętle. 25. Opóźnienia typu wait. 26. Funkcje i procedury. 27. Biblioteki i pakiety. 28. Biblioteka IEEE. 29. Synteza maszyn stanów.		
Wymagania wstępne i dodatkowe	Nie ma wymagań		
Sposoby i kryteria oceniania osiąganych efektów uczenia się	Sposób oceniania (składowe)	Próg zaliczeniowy	Składowa oceny końcowej
	Egzamin	50.0%	50.0%
	Ćwiczenia praktyczne	50.0%	50.0%
Zalecana lista lektur	Podstawowa lista lektur	K.Skahill, Vhdl for Programmable Logic, Addison-Wesley Publishing Company, 1996. S.Palnitkar, Verilog HDL, SunSoft Press, 1996. M. Zwoliński, Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, W.KiŁ., 2002.	
	Uzupełniająca lista lektur	Nie ma wymagań	
	Adresy eZasobów	Adresy na platformie eNauczanie:	
Przykładowe zagadnienia/ przykładowe pytania/ realizowane zadania			
Praktyki zawodowe w ramach przedmiotu	Nie dotyczy		

Dokument wygenerowany elektronicznie. Nie wymaga pieczęci ani podpisu.